

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 14322 호
Application Number PATENT-2001-0014322

출원년월일 : 2001년 03월 20일
Date of Application MAR 20, 2001

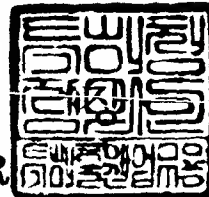
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 08 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2001.03.20
【발명의 명칭】	비휘발성 메모리 소자의 제조방법
【발명의 영문명칭】	METHOD OF FABRICATING FLASH MEMORY DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이운경
【성명의 영문표기】	LEE, WOON KYUNG
【주민등록번호】	650103-1333626
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 죽전리 952 벽산4단지 아파트 401동 807동
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	15	면	15,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	22	항	813,000	원
---------	----	---	---------	---

【합계】	857,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

비휘발성 메모리 소자의 제조방법을 제공한다. 이 방법은, 셀 어레이 영역 및 주변회로 영역을 갖는 반도체 기판을 준비하고, 반도체 기판에 소자분리막을 형성하여 셀 어레이 영역 및 주변회로 영역에 각각 제1 활성영역 및 제2 활성영역을 한정한다. 소자분리막이 형성된 결과물 전면에 게이트 도전막을 형성하고, 게이트 도전막을 패터닝하여 제1 활성영역 상에 부유게이트 패턴을 형성한다. 부유게이트 패턴이 형성된 셀 어레이 영역의 전면 및 주변회로 영역의 전면에서 게이트 충전유전체막 및 제2 도전막을 형성한 후, 주변회로 영역의 제2 도전막 및 게이트 충전유전체막을 차례로 식각하여 주변회로영역의 게이트 도전막을 노출시킨다.

【대표도】

【명세서】**【발명의 명칭】**

비휘발성 메모리 소자의 제조방법 {METHOD OF FABRICATING FLASH MEMORY
DEVICE}

【도면의 간단한 설명】

도 1은 일반적인 비휘발성 메모리 소자의 제조방법을 설명하기 위한 개략적인 평면도이다.

도 2a 내지 도 6a는 도 1의 I-I'를 따라 취해진 종래의 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 2b 내지 도 6b는 도 1의 II-II'를 따라 취해진 종래의 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 7a 및 도 7b는 각각 도 1의 I-I' 및 II-II'를 따라 취해진 종래의 다른 비휘발성 메모리 소자를 설명하기 위한 단면도이다.

도 8a 내지 도 11a는 도 1의 I-I'를 따라 취해진 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 8b 내지 도 11b는 도 1의 II-II'를 따라 취해진 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 12a 및 도 12b는 각각 도 1의 I-I' 및 II-II'를 따라 취해진 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 설명하기 위한 단면도이다.

※도면의 주요부분에 대한 부호의 설명※

20, 30 : 활성영역 109, 309: 제어게이트 전극

110, 310: 게이트 전극 301: 소자분리막

306: 게이트 층간유전체막 F : 부유게이트

302: 터널산화막 305: 게이트 산화막

G: 게이트 도전막 307: 제어게이트 도전막

108, 308: 메탈 실리사이드막 112, 312: 게이트 콘택홀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 소자의 제조방법에 관한 것으로서, 더 구체적으로 비휘발성 메모리 소자의 제조방법에 관한 것이다.

<16> 비휘발성 메모리는 외부전원이 차단되어도 저장된 정보가 소거되지 않는 메모리를 말한다. 이들 중 특히 비휘발성 메모리는 전기적으로 데이터를 기입 및 소거가 가능하여 여러가지 장치에서 사용되고 있다. 비휘발성 메모리는 셀 어레이의 구조에 따라 고속 랜덤 액세스(High speed random access)가 가능한 노어형 비휘발성 메모리(NOR Type Flash Memory)와, 프로그램 및 소거속도가 우수하고, 고집적화가 가능한 낸드형 비휘발성 메모리(NAND Type Flash Memory)가 있다.

<17> 일반적으로 비휘발성 메모리의 셀 트랜지스터는 일반적인 MOS트랜지스터에 부유게이트(floating gate)를 더 포함하고 있는 구조이다. 비휘발성 메모리의 셀 트랜지스터는 반도체 기판상에 터널 산화막을 개재하여 부유게이트가 위치하고, 부유게이트 상부에 게이트 층간유전체막을 개재하여 제어게이트 전극이 형성되어 있다. 비휘발성 메모리의 기입(program)동작은 FN터널링(fowler-nordheim tunneling)에 의한 방법과 열전자 주입(hot electron injection)에 의한 방법이 있다. FN터널링에 의한 방법은 터널산화막에 인가된 고전계에 의해 전자가 반도체 기판으로부터 부유게이트로 주입됨으로써 기입(program)이 이루어진다. 또한, 열전자 주입에 의한 방법은 드레인 부근의 채널영역에서 발생한 열전자(hot electron)가 부유게이트에 주입됨으로써 기입(program)이 이루어진다. 비휘발성 메모리의 소거(erase)동작은 반도체 기판 또는 소오스(source)로 부유게이트에 저장된 전자를 방출하여 이루어진다.

<18> 비휘발성 메모리 소자는 기입(program) 및 소거(erase)동작에 고전압이 필요하기때문에 다른 메모리 소자에 비하여 주변회로 영역이 넓고, 동작속도가 느린 단점이 있다. 또한, 장시간동안 기입된 전자가 부유게이트로부터 빠져나가지 않도록하는 데이터유지(data retention)의 우수성이 요구되고, 반복되는 기입 및 소거에도 그 동작특성이 유지되도록 우수한 내구성(endurance)을 가지는 터널산화막과 게이트 층간유전체막이 요구된다.

<19> 도 1은 일반적인 비휘발성 메모리 소자의 셀 어레이 영역 및 주변회로영역의 트랜지스터를 설명하기 위한 개략적인 평면도이다.

- <20> 도 1을 참조하면, 일반적인 비휘발성 메모리 소자의 셀 어레이 영역(a)은 반도체 기판에 형성된 소자분리막에 의해 제1 활성영역(20)이 한정되고, 복수개의 제어게이트 전극(109,309)이 제1 활성영역(20)을 가로지른다. 상기 제어게이트 전극(109,309)과 상기 활성영역(20) 사이에 부유게이트(F)가 소자분리막과 일부 중첩되어 배치된다. 부유게이트(F)와 활성영역(20) 사이에는 터널산화막(도시 안함)이 개재되고, 부유게이트(F)와 제어게이트 전극(109,309) 사이에 게이트 층간유전체막(도시 안함)이 제어게이트 전극을 따라 형성된다.
- <21> 또한, 일반적인 비휘발성 메모리 소자의 주변회로영역(b)의 트랜지스터는, 소자분리막에 의해 제2 활성영역(30)이 한정되고, 게이트 전극(110,310)이 상기 제2 활성영역(30)을 가로지른다.
- <22> 도 2a 내지 도 6a는 도 1의 I-I'를 따라 취해진 종래의 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.
- <23> 도 2b 내지 도 6b는 도 1의 II-II'를 따라 취해진 종래의 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.
- <24> 도 2a 및 도 2b를 참조하면, 셀어레이 영역(a) 및 주변회로 영역(b)가 구비된 반도체 기판(100)에 소자분리막(101)을 형성함과 동시에 각각 제1 활성영역(도 1의 20) 및 제2 활성영역(도 1의 30)을 한정한다.
- <25> 도 3a 및 도 3b를 참조하면, 상기 소자분리막(101)이 형성된 결과물 전면에 터널산화막(102) 및 제1 도전막(103)을 형성하고, 상기 셀어레이 영역(a)의 상기 제1 도전막(103)을 패터닝하여 상기 제1 활성영역(도 1의 20) 상에 부유게이트

패턴(F1)를 형성한다. 이어서, 상기 셀 어레이 영역(a)의 부유게이트 패턴(F1) 및 상기 주변회로영역(b)의 제1 도전막(103)의 전면에 게이트 층간유전체막(106)을 형성한다.

<26> 도 4a 및 도 4b를 참조하면, 사진 식각공정을 사용하여 상기 주변회로영역(b)의 상기 게이트 층간유전체막(106), 상기 제1 도전막(103) 및 터널산화막(102)을 제거하여 주변회로영역(b)의 소자분리막(101) 및 제2 활성영역(도 1의 30)을 노출시킨다.

<27> 도 5a 및 도 5b를 참조하면, 상기 주변회로영역(b)의 활성영역에 트랜지스터의 문턱전압 조절을 위한 표면 불순물 확산층(도시안함)을 형성하고 게이트 산화막(105)을 형성한다. 상기 셀 어레이 영역(a)의 게이트 층간유전체막(306) 및 상기 주변회로 영역(b)의 상기 게이트 산화막(105)이 형성된 반도체 기판 전면에 게이트 도전막(107) 및 메탈 실리사이드막(108)을 형성한다.

<28> 도 6a 및 도 6b를 참조하면, 상기 셀어레이 영역(a)의 상기 메탈 실리사이드막(108), 게이트 도전막, 게이트 층간유전체막(106) 및 부유게이트 패턴(F1)을 차례로 패터닝한다. 그결과 상기 제1 활성영역(도 1의 20)을 가로지르는 제어게이트 전극(109)이 형성되고, 상기 제어게이트 전극(109) 및 상기 활성영역(도 1의 20) 사이에 개재된 부유게이트(F1')가 형성된다.

<29> 또한, 상기 주변회로 영역(b)의 메탈 실리사이드막(108) 및 제2 폴리실리콘막(107)을 패터닝하여, 상기 제2 활성영역(도 1의 30)을 가로지르는 게이트 전극(110)을 형성한다. 이후, 상기 셀 어레이 영역(a) 및 상기 주변회로 영역(b)

에 이온주입 공정을 실시하여 셀 소스 및 드레인 영역(113, 114)를 형성하고, 충전절연막(111)을 형성한 후, 콘택홀(112)을 형성한다.

<30> 상술한 종래의 비휘발성메모리 소자의 게이트 충전유전체막(106)은 주변회로영역(b)의 활성영역 및 소자분리막을 노출시키고 표면 불순물 확산층 및 게이트 산화막(105)을 형성하는 동안 노출되어 있다. 따라서, 포토공정이 진행되는 동안 비휘발성 메모리 소자의 데이터 유지특성 및 내구성에 중요한 영향을 미치는 게이트 충전유전체막(106)의 열화를 가져온다. 이는 포토레지스트에 포함된 미량의 중금속 및 금속화합물이 게이트 충전유전체막(106)에 침적되어 이후 열공정에 의해 확산되고, 포토레지스트를 구성하는 폴리머의 결정체가 포토레지스트를 제거한 후에 잔존하는 것에 기인한다.

<31> 도 7a 및 도 7b는 종래의 비휘발성 메모리 소자의 다른 구조를 나타내는 단면도 이다.

<32> 도 7a 및 도 7b를 참조하면, 상술한 첫번째 종래의 비휘발성 메모리 소자와 마찬가지로 셀 어레이 영역(a)에는 소자분리막(101)에 의해 한정된 제1 활성영역(도 1의 20)상에 터널산화막(102)을 개재하여 부유게이트 (F1')가 형성되고, 상기 부유게이트(F1') 상부에 상기 소자분리막(101)을 가로지르는 제어게이트 전극(109)이 형성된다.

<33> 그러나, 주변회로영역(b)의 게이트 전극(210)은 상술한 첫번째 종래기술과는 달리 게이트 도전막(103), 게이트 충전유전체막(106), 제2 도전막(107) 및 메탈 실리사이드막(108)으로 구성된다. 이 경우, 상기 게이트 도전막(103) 및 상기

제2 도전막(107)은 게이트 충전유전체막(106)에 의해 절연된다. 따라서, 게이트 전극(210)을 형성한 후, 상기 메탈 실리사이드막(108), 제2 도전막(107) 및 상기 게이트 충전유전체막(106)의 일부를 식각하여 상기 게이트 도전막(103)을 노출시키는 버텸콘택(212)을 형성공정이 더 포함된다. 그 결과, 버텸콘택(212)을 위한 소자의 면적 증가 및 공정이 복잡한 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명의 목적은 상술한 종래의 비휘발성 메모리 소자의 제조방법의 문제점을 해결하기 위하여, 게이트 충전유전체막의 신뢰성을 개선시킬 수 있고, 공정을 단순화시킬 수 있는 비휘발성 메모리 소자의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<35> 상기 목적을 달성하기 위하여 본 발명은, 셀 어레이 영역 및 주변회로 영역을 갖는 반도체 기판에 소자분리막을 형성하여 상기 셀 어레이 영역 및 상기 주변회로 영역에 각각 제1 활성영역 및 제2 활성영역을 한정한다. 상기 제1 활성영역을 덮는 부유게이트 패턴 및 상기 주변회로 영역을 덮는 게이트 도전막을 형성한다. 계속해서, 상기 부유게이트 패턴 및 게이트 도전막을 갖는 반도체 기판 전면에 게이트 충전유전체막 및 제어게이트 도전막을 형성한다. 상기 주변회로 영역의 상기 제어게이트 도전막 및 상기 게이트 충전유전체막을 차례로 식각하여 상기 주변회로영역의 상기 게이트 도전막을 노출시킨다.

<36> 이에 더하여, 상기 셀 어레이 영역의 상기 제어게이트 도전막, 상기 게이트 충전유전체막 및 상기 부유게이트 패턴을 차례로 패터닝하여, 상기 제1 활성영역

의 상부를 가로지르는 워드라인 패턴을 형성하고, 상기 주변회로 영역의 상기 게이트 도전막을 패터닝하여, 상기 제2 활성영역의 상부를 가로지르는 게이트 패턴을 형성한다.

<37> 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다.

<38> 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 '상'에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<39> 도 8a 내지 도 11a는 도 1의 I-I'를 따라 취해진 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

<40> 도 8b 내지 도 11b는 도 1의 II-II'를 따라 취해진 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위한 공정단면도들이다.

<41> 도 12a 및 도 12b는 각각 도 1의 I-I' 및 도 1의 II-II'를 따라 취해진 본 발명의 제2 실시예에 따른 비휘발성 메모리 소자를 설명하기 위한 단면도들이다.

- <42> 도면에 있어서, 참조부호 a로 표시된 부분은 셀 어레이 영역을 나타내고, 참조부호 b로 표시된 부분은 주변회로 영역을 나타낸다. 그러나, 참조부호 a 및 b로 표시된 부분의 구조는 셀 어레이 영역 및 주변회로 영역에 한정하지 않고, 각각 다른 영역의 일부에 형성될 수도 있다.
- <43> 도 8a 및 도 8b를 참조하면, 셀 어레이 영역(a) 및 주변회로 영역(b)이 구비된 반도체 기판(300)에 자기정렬 트랜치공정을 사용하여 소자분리막(301)을 형성함과 동시에 상기 셀 어레이 영역(a) 및 상기 주변회로 영역(b)에 각각 제1 활성영역(도 1의 20) 및 제2 활성영역(도 1의 30)을 한정한다. 이 때, 상기 제1 활성영역(도 1의 20) 및 제2 활성영역(도 1의 30)상에 각각 터널 산화막(302) 및 게이트 산화막(305)이 개재된 하부 도전막(303)이 위치한다.
- <44> 구체적으로 상기 소자분리막(301) 및 하부 도전막(303)을 형성하는 과정은, 반도체 기판(300) 상의 셀 어레이 영역(a) 및 주변회로 영역(b)에 이온주입공정을 실시하여, 불순물 웰 및 문턱전압(threshold voltage) 조절을 위한 표면 확산층을 형성한다. 상기 표면 확산층이 형성된 결과물 전면에 게이트 산화막(302, 305), 하부 도전막(303) 및 연마저지막을 형성한다. 이 때, 상기 게이트 산화막(302, 305)은 상기 셀 어레이 영역(a) 및 상기 주변회로 영역(b)에 요구되는 트랜지스터의 특성을 얻기 위하여 각각 다른 두께로 형성할 수 있고, 상기 주변회로 영역(b)에서 고전압부 및 저전압부에 따라 다른 두께가 형성될 수 있다.
- <45> 상기 하부 도전막(303)은 고저항의 전도성을 가지는 도전막으로, 예컨대 폴리실리콘막으로 형성하는 것이 바람직하다. 상기 폴리실리콘막은 불순물을 주입하지 않거나, 또는 폴리실리콘막을 형성한 후 인(P) 또는 비소(As)를 불순물로

사용한 이온주입 및 포클도핑(POCl doping)중 한가지를 사용하여 불순물을 폴리실리콘막 내에 확산시켜 형성하는 것이 바람직하다.

<46> 이어서, 상기 연마저지막, 상기 하부 도전막(303), 상기 게이트 산화막(302,305) 및 상기 반도체 기판(300)을 차례로 패터닝하여 상기 반도체 기판(300)에 트렌치 영역을 형성함과 동시에 상기 셀 어레이 영역(a) 및 상기 주변회로 영역(b)에 각각 제1 활성영역(도 1의 20) 및 제2 활성영역(도 1의 30)을 한정한다. 상기 트렌치 영역에 절연물질을 채우고, 상기 연마저지막이 노출되도록 상기 절연물질을 평탄화 식각하여 상기 트렌치 영역에 소자분리막(301)을 형성한 후, 상기 연마저지막을 제거한다. 그 결과, 상기 소자분리막(301)에 의해 한정되는 상기 제1 활성영역(도 1의 20)에 터널산화막(302)이 개재되고, 상기 제2 활성영역(도 1의 30)상에 게이트 산화막(305)이 개재된 하부 도전막(303)이 위치한다.

<47> 도 9a 및 도 9b를 참조하면, 상기 연마저지막이 제거된 반도체 기판의 전면 에 상부 도전막(304)을 형성한다. 그리고, 상기 셀 어레이 영역(a)의 상기 상부 도전막(304)을 패터닝하여 상기 제1 활성영역(도 1의 20) 상에 상기 하부 도전막(303) 및 상기 상부 도전막(304)로 구성된 부유게이트 패턴(F3)을 형성한다. 결과적으로, 상기 셀어레이 영역(a)의 상기 제1 활성영역상에 부유게이트 패턴(F3)이 상기 소자분리막(301)과 일부 중첩되어 형성되고, 상기 주변회로 영역(b)은 상기 하부 도전막(303) 및 상기 상부 도전막(304)로 구성된 게이트 도전막(G)으로 덮혀있다. 상기 상부 도전막(304)은 고저항을 가지도록 하기 위하여, 예컨대 폴리실리콘막을 형성한 후, 인(P) 또는 비소(As)를 불순물로 사용한 이온주입 방

법 또는 포클도핑(POCl doping)을 사용하여 불순물을 폴리실리콘막 내에 확산시켜 도핑하는 것이 바람직하다.

<48> 이어서, 상기 부유게이트 패턴(F3) 및 상기 게이트 도전막(G)이 형성된 결과물의 전면에 게이트 층간유전체막(306) 및 제어게이트 도전막(307)을 형성한다. 상기 게이트 층간유전체막(306)은 고유전율 및 높은 항복전압(breakdown voltage) 특성을 가지는 도전막으로서, 예컨대, ONO(oxide-nitride-oxide)막으로 형성하는 것이 바람직하다. 상기 제어게이트 도전막(307)은 도핑된 폴리실리콘막으로 형성할 수 있다. 그러나, 본 실시예에서는 주변회로영역에 형성될 게이트전극의 RC지연을 줄이기 위하여 상기 제2 도전막은 도핑되지 않은 폴리실리콘막으로 형성하되, 이후 주변회로 영역의 게이트 전극으로 사용될 상기 게이트 도전막을 노출시킨 후 불순물을 주입하여 도전성을 가지도록 한다.

<49> 도 10a 및 도 10b를 참조하면, 사진식각 방법을 사용하여 상기 주변회로 영역(b)의 상기 게이트 도전막(G)이 노출되도록, 상기 주변회로 영역(b)의 상기 제어게이트 도전막(307) 및 상기 게이트 층간유전체막(306)을 제거한다. 상기 제어게이트 도전막(307) 및 상기 게이트 층간유전체막(306)이 제거된 반도체 기판 전면에 이온주입 공정 또는 포클 도핑(POCl₃ doping)을 실시하여, 상기 셀 어레이 영역(a)의 상기 제어게이트 도전막(307)의 도전성을 높여준다. 이때, 상기 주변회로 영역(b)의 상기 게이트 도전막(G)이 상기 이온주입공정 또는 포클 도핑이 진행되는 동안 함께 노출되므로 상기 주변회로 영역(b)의 게이트 도전막(G)의 저항이 낮아진다. 그 결과, 이후 상기 주변회로 영역(b)에 형성되는 트랜지스터의

게이트 지연(gate RC-delay)을 줄일 수 있는 효과가 있다. 또한, 소자의 동작속도를 향상시키기 위하여, 상기 게이트 도전막(G) 및 상기 제어게이트 도전막(307)은 고농도로 도핑하여 저항을 낮추는 것이 바람직하다.

<50> 이어서, 상기 게이트 도전막(G) 및 상기 제어게이트 도전막(307) 상부에 메탈 실리사이드막(308)을 형성한다. 상기 메탈 실리사이드막(308)은 전기전도성 및 내화성이 우수한 물질막으로서, 예컨대 텅스텐실리사이드막을 사용하는 것이 바람직하다.

<51> 도 11a 및 도 11b를 참조하면, 상기 셀 어레이 영역(a)에 상기 제1 활성영역(도 1의 20)을 가로지르는 복수개의 워드라인(309)을 형성하고, 상기 주변회로 영역(b)에 상기 제2 활성영역(도 1의 30)을 가로지르는 게이트 전극(310)을 형성한다.

<52> 상기 복수개의 워드라인(309)을 형성하는 과정은, 상기 셀 어레이 영역(a)의 상기 메탈 실리사이드막(308), 제어게이트 도전막(307), 게이트 층간유전체막(306) 및 부유게이트 패턴(F3)를 차례로 식각하여 상기 소자분리막(301)을 가로지르는 복수개의 워드라인(309) 및 상기 워드라인(309)과 상기 활성영역 사이에 개재된 부유게이트(F3')를 형성한다. 또한, 상기 게이트 전극(310)을 형성하는 과정은, 상기 주변회로 영역(b)의 상기 메탈 실리사이드막(308), 상기 게이트 도전막(G)을 차례로 패터닝하여 상기 제2 활성영역(도 1의 30)을 가로지르는 게이트 전극(310)을 형성한다.

<53> 이에 더하여 상기 제1 활성영역(도 1의 20) 및 상기 제2 활성영역(도 1의 30)에 통상적인 방법으로, 소스 및 드레인영역(313,314)를 형성하고, 스페이서

형성(도시 안함) 및 상기 셀어레이 영역(a)에 자기정렬소스(SAS; self aligned source)형성공정(도시 안함) 등이 더 포함된다.

<54> 이어서, 상기 모든 공정이 완료된 결과물 전면에 층간절연막(311)을 형성한다. 도시하지는 않았지만 상기 절연막(311)을 패터닝하여 상기 셀 어레이 영역(a) 및 상기 주변회로 영역(b)에 콘택홀을 형성한다. 이 때, 상기 게이트 전극(310)의 상기 메탈실리사이드막(308)이 노출되는 게이트 콘택홀(312)이 형성된다. 따라서, 종래기술에 비해 게이트 층간유전체막(306)이 노출되는 공정을 줄이고, 공정을 단순화 시킬 수 있다.

<55> 본 발명의 다른 실시예로서, 자기정렬 트랜치 공정을 사용하지 않고, 일반적인 트랜치 소자분리를 이용하여 비휘발성 메모리 소자를 제조할 수 있다.

<56> 도 12a 및 도 12b는 각각 도 1의 I-I' 및 II-II'를 따라 취해진 본 발명의 다른 실시예에 따른 비휘발성 메모리 소자를 설명하기 위한 단면도이다.

<57> 도 12a 및 도 12b를 참조하면, 상술한 첫번째 실시예와 다른 점은 일반적인 트랜치 소자분리를 사용하여 소자분리막(401)을 형성하고, 셀 어레이 영역(a) 및 주변회로 영역(b)에 각각 터널산화막(302) 및 게이트 산화막(305)을 개재하여 게이트 도전막(403)을 형성한다. 상기 게이트 도전막(403)은 상술한 첫번째 실시예와 동일한 물질로 형성하는 것이 바람직하다. 상기 셀 어레이 영역(a)의 상기 게이트 도전막(403)을 패터닝하여 상기 제1 활성영역(도 1의 20) 상에 부유게이트 패턴(F4)을 형성한다. 이후 제어게이트 전극(309), 부유게이트(F4') 및 게이트 전극(410)을 형성하는 과정은 상술한 첫번째 실시예와 동일하다.

【발명의 효과】

<58> 상술한 바와 같이 본 발명은, 게이트 충전유전체막이 노출되는 공정을 현저하게 줄여, 게이트 충전유전체막의 신뢰성을 높일 수 있다. 그 결과, 데이터유지 및 내구성이 향상된 비휘발성 메모리 소자를 제조할 수 있다. 또한, 주변회로 영역에 형성되는 게이트 전극의 저항을 낮출 수 있어 소자의 동작속도를 증가시킬 수 있다

【특허청구범위】**【청구항 1】**

셀 어레이 영역 및 주변회로 영역을 갖는 비휘발성 메모리소자의 제조방법에 있어서,

반도체 기판의 소정영역에 소자분리막을 형성하여 상기 셀 어레이 영역 및 상기 주변회로 영역에 각각 제1 활성영역 및 제2 활성영역을 한정하는 단계;

상기 제1 활성영역을 덮는 부유게이트 패턴 및 상기 주변회로 영역을 덮는 게이트 도전막을 형성하는 단계;

상기 부유게이트 패턴 및 상기 게이트 도전막을 갖는 반도체기판의 전면에 게이트 층간유전체막 및 제어게이트 도전막을 형성하는 단계; 및
상기 주변회로 영역 내의 상기 제어게이트 도전막 및 상기 게이트 층간유전체막을 차례로 식각하여 상기 주변회로 영역 내의 상기 게이트 도전막을 노출시키는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

【청구항 2】

제1 항에 있어서,

상기 부유게이트 패턴 및 상기 게이트 도전막을 형성하기 전에,

상기 제1 활성영역 및 제2 활성영역 상에 각각 터널산화막 및 게이트 산화막을 형성하는 단계를 더 포함하는 비휘발성 메모리 소자.

【청구항 3】

제2 항에 있어서,

상기 터널산화막 및 상기 게이트 산화막을 형성하기 전에

상기 제1 활성영역 및 상기 제2 활성영역에 각각 표면 불순물 확산층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 4】

제1 항에 있어서,

상기 부유게이트 패턴 및 상기 게이트 도전막은 증착중 도핑(in-situ doping)방법을 사용하여 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 5】

제1 항에 있어서,

상기 부유게이트 패턴 및 상기 게이트 도전막은 폴리실리콘막으로 형성한 후, 이온주입 방법을 사용하여 도핑하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 6】

제4 항 또는 제5 항에 있어서,

상기 폴리실리콘막을 도핑하는 불순물로 인(P) 또는 비소(As)를 사용하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 7】

제1 항에 있어서,

상기 부유게이트 패턴 및 상기 게이트 도전막은 포클도핑(POCl₃ doping)을 사용하여 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 8】

제1 항에 있어서,

상기 부유게이트 패턴 및 상기 게이트 도전막을 형성하는 단계는,

상기 반도체 기판의 소정영역에 자기정렬 트렌치공정을 사용하여 소자분리막을 형성함과 동시에 상부에 게이트 산화막 및 하부 도전막이 차례로 적층된 제1 활성영역 및 제2 활성영역을 한정하는 단계;

상기 소자분리막이 형성된 반도체기판의 전면에 상부 도전막을 형성하는 단계;

상기 상부 도전막을 패터닝하여, 상기 제1 활성영역을 덮는 부유게이트 패턴 및 상기 주변회로 영역을 덮는 게이트 도전막을 형성하는 단계를 포함하되,
상기 부유게이트 패턴 및 게이트 도전막은 상기 하부 도전막 및 상기 상부 도전막으로 구성되는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

【청구항 9】

제8 항에 있어서,

상기 게이트 산화막은 상기 셀어레이 영역 및 상기 주변회로 영역에 각각 다른 두께로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 10】

제8 항에 있어서,

상기 소자분리막을 형성하기 전에,

상기 셀 어레이 영역 및 상기 주변회로 영역에 각각 표면 확산층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 11】

제8 항에 있어서,

상기 하부 도전막은 폴리실리콘막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 12】

제8 항에 있어서,

상기 상부 도전막은 증착중 도핑(in-situ doping)방법을 사용하여 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 13】

제8 항에 있어서,

상기 상부 도전막은 폴리실리콘막으로 형성한 후, 이온주입 방법을 사용하여 도핑하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 14】

제12 항 또는 제13 항에 있어서,

상기 폴리실리콘막을 도핑하는 불순물로 인(P) 또는 비소(As)를 사용하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 15】

제1 항에 있어서,

상기 상부 도전막은 포클도핑(POCl₃ doping)을 사용하여 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 16】

제1 항에 있어서,

상기 제어게이트 도전막은 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 17】

제1 항에 있어서,

상기 제어게이트 도전막은 도핑되지 않은 폴리실리콘막으로 형성하되,

상기 게이트 도전막이 노출된 반도체 기판의 전면에 불순물을 주입하여 상기 제어게이트 도전막이 도전성을 가지게 하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 18】

제17 항에 있어서,

상기 불순물은 이온주입 방법을 사용하여 주입하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 19】

제17 항에 있어서,

상기 불순물은 인(P) 또는 비소(As)인 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 20】

제17 항에 있어서,

상기 불순물은 포클도핑(POCl_3 doping)을 사용하여 주입하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 21】

제1 항에 있어서,

상기 게이트 도전막이 노출된 반도체 기판의 전면에 메탈 실리사이드막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 22】

제1 항에 있어서,

상기 주변회로 영역의 게이트 도전막을 노출시킨 후,

상기 셀 어레이 영역의 제어게이트 도전막, 상기 게이트 충전유전체막 및 상기 부유게이트 패턴을 패터닝하여, 상기 제1 절성영역의 상부를 가로지르는 워드라인을 형성하고, 상기 주변회로 영역의 상기 게이트 도전막을 패터닝하여 상

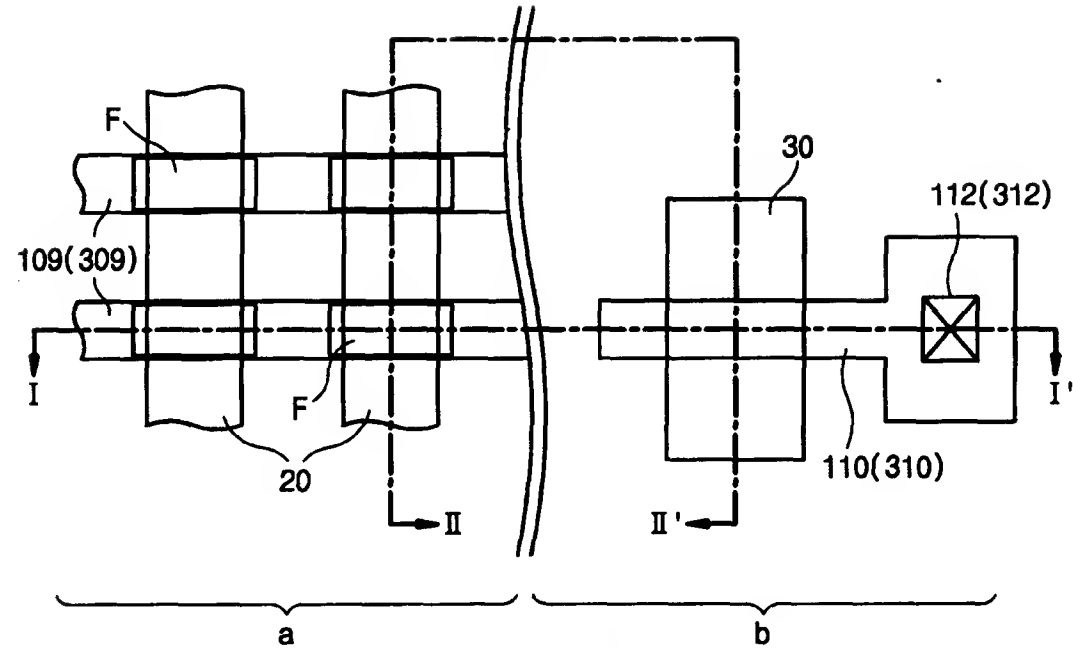
1020010014322

출력 일자: 2001/8/22

기 제2 활성영역의 상부를 가로지르는 게이트 패턴을 형성하는 단계를 더 포함하는 비휘발성 메모소자의 제조방법.

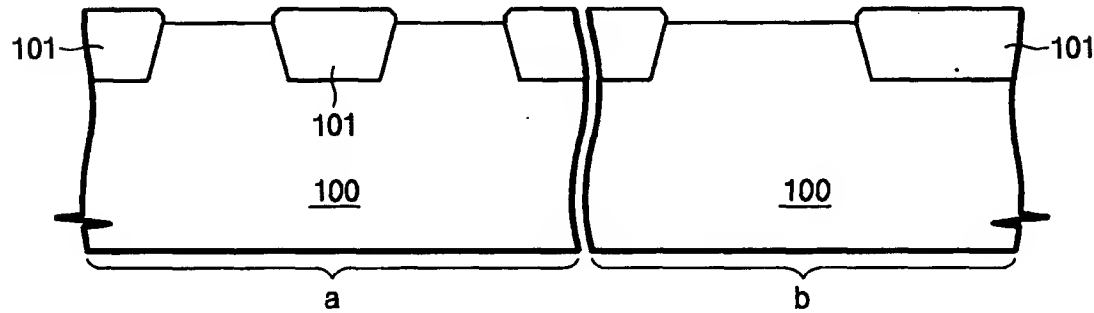
【도면】

【도 1】



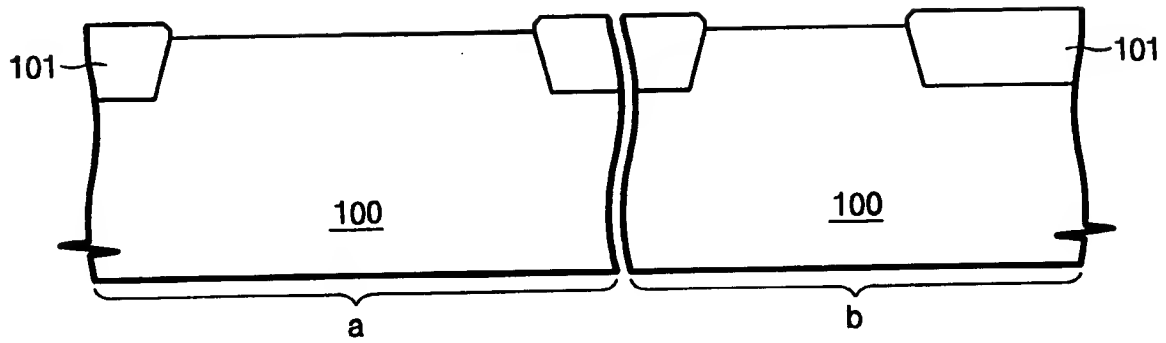
【도 2a】

(종래 기술)



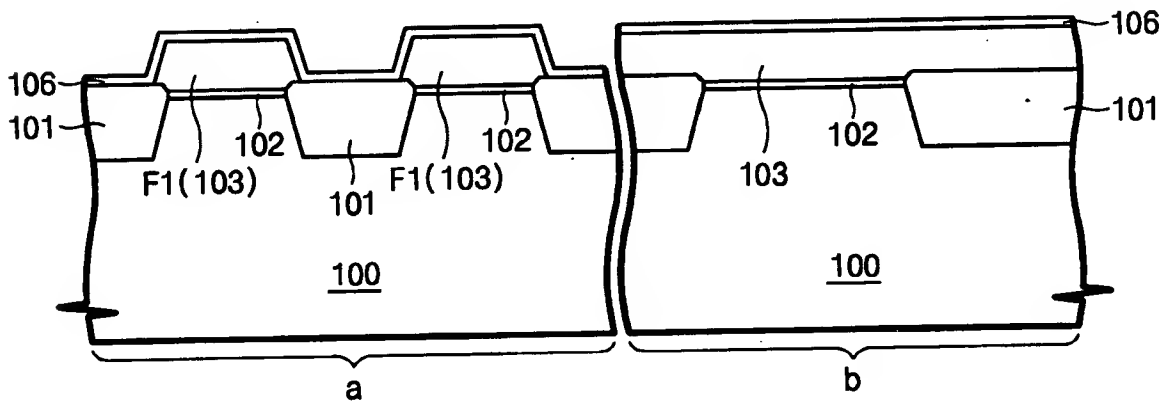
【도 2b】

(종래 기술)



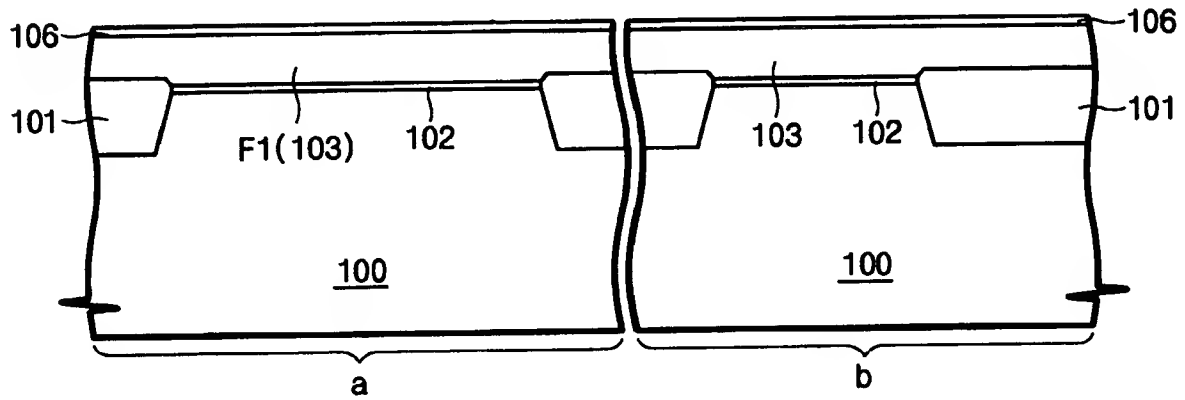
【도 3a】

(종래 기술)



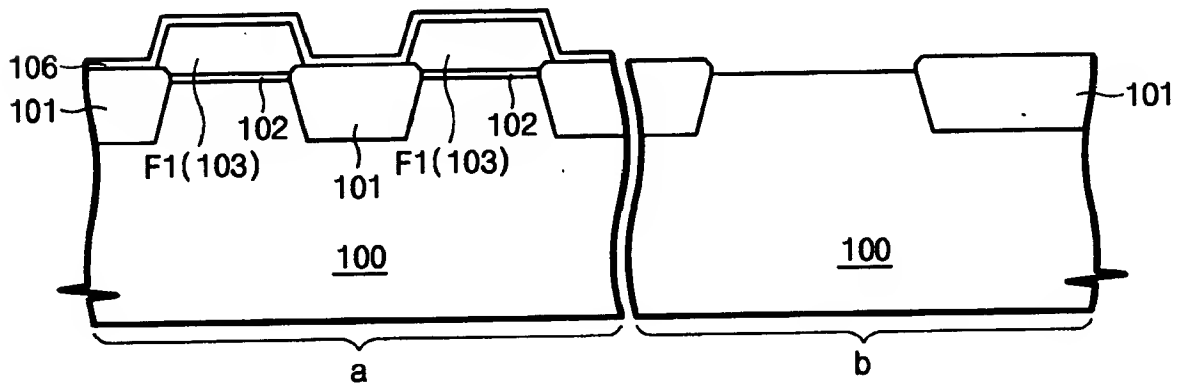
【도 3b】

(종래 기술)



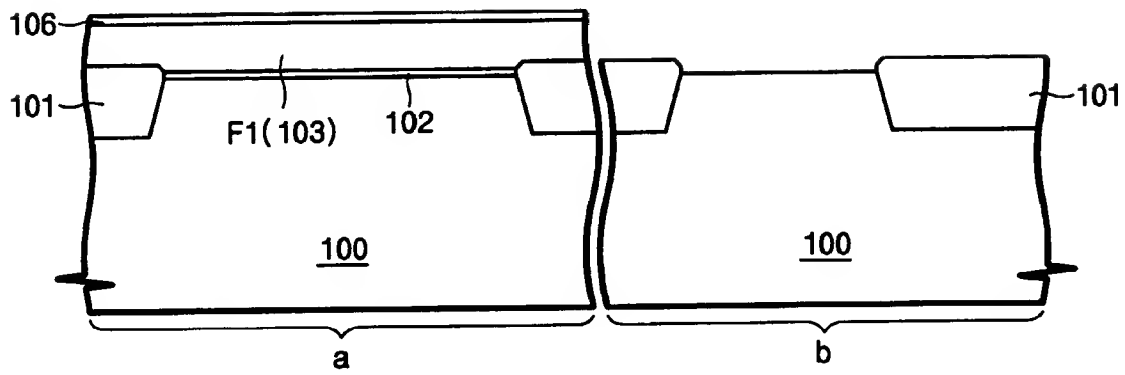
【도 4a】

(종래 기술)



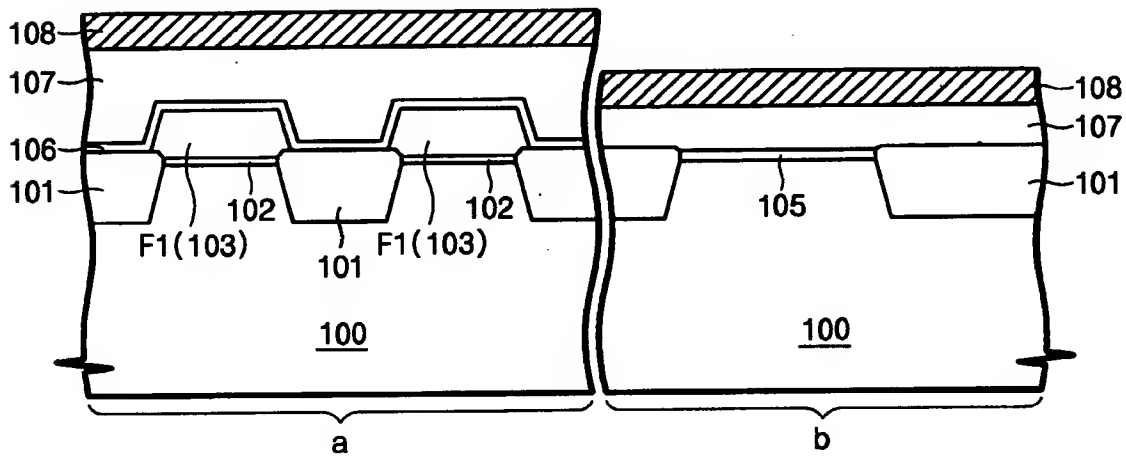
【도 4b】

(종래 기술)



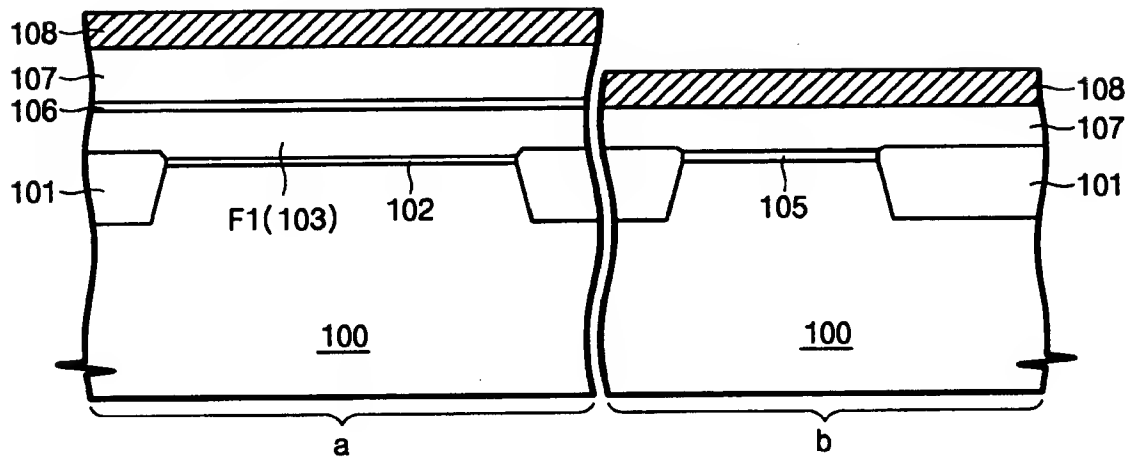
【도 5a】

(종래 기술)



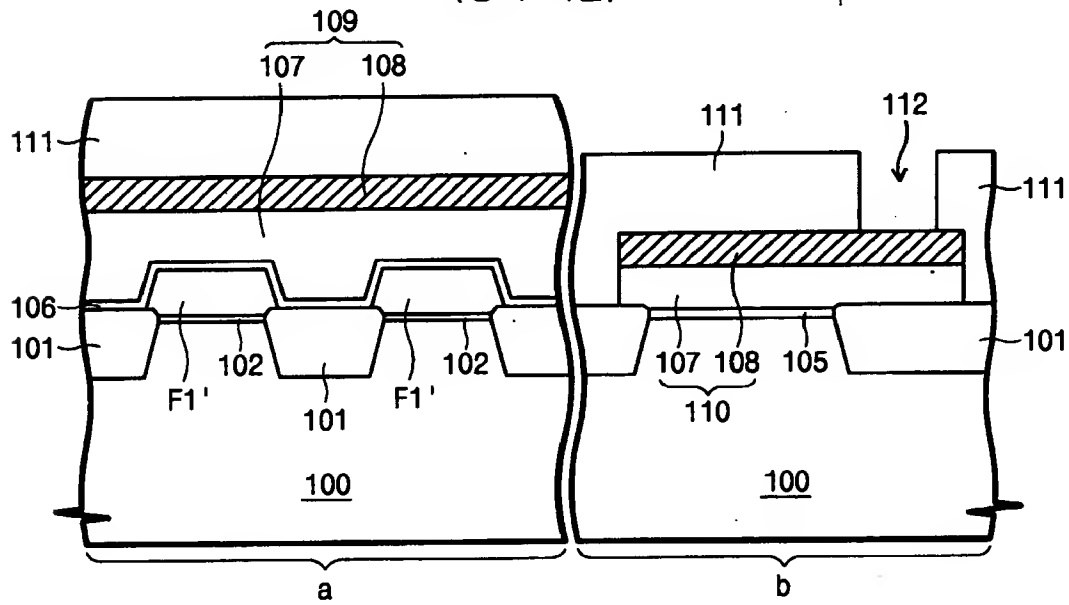
【도 5b】

(종래 기술)



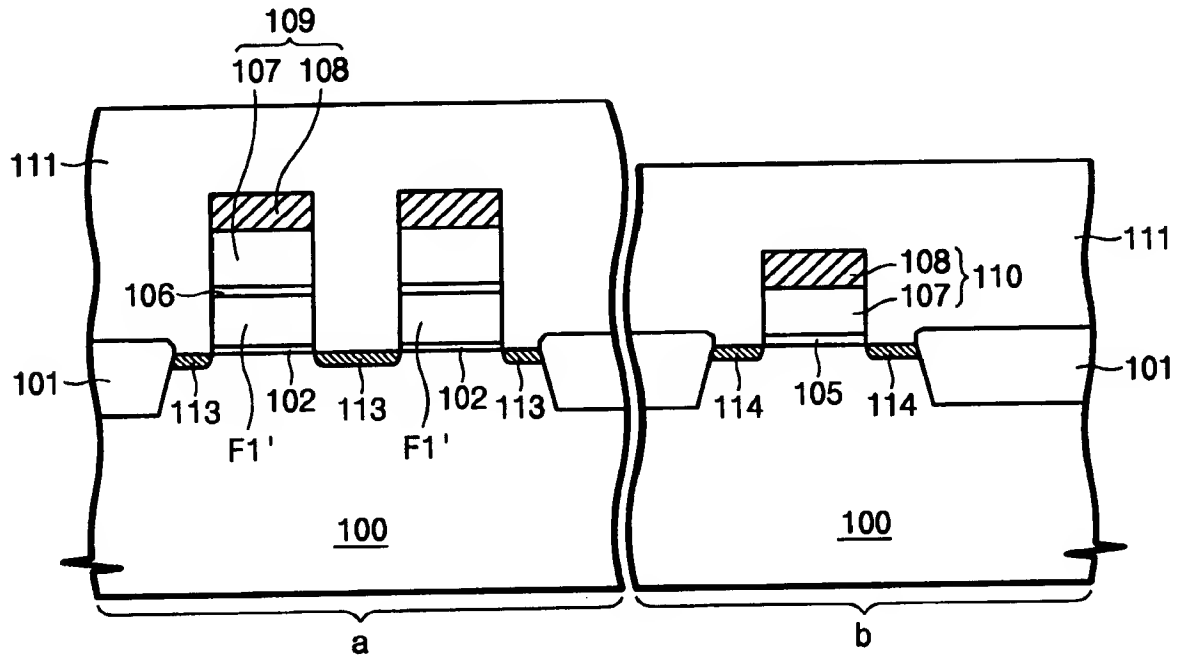
【도 6a】

(종래 기술)



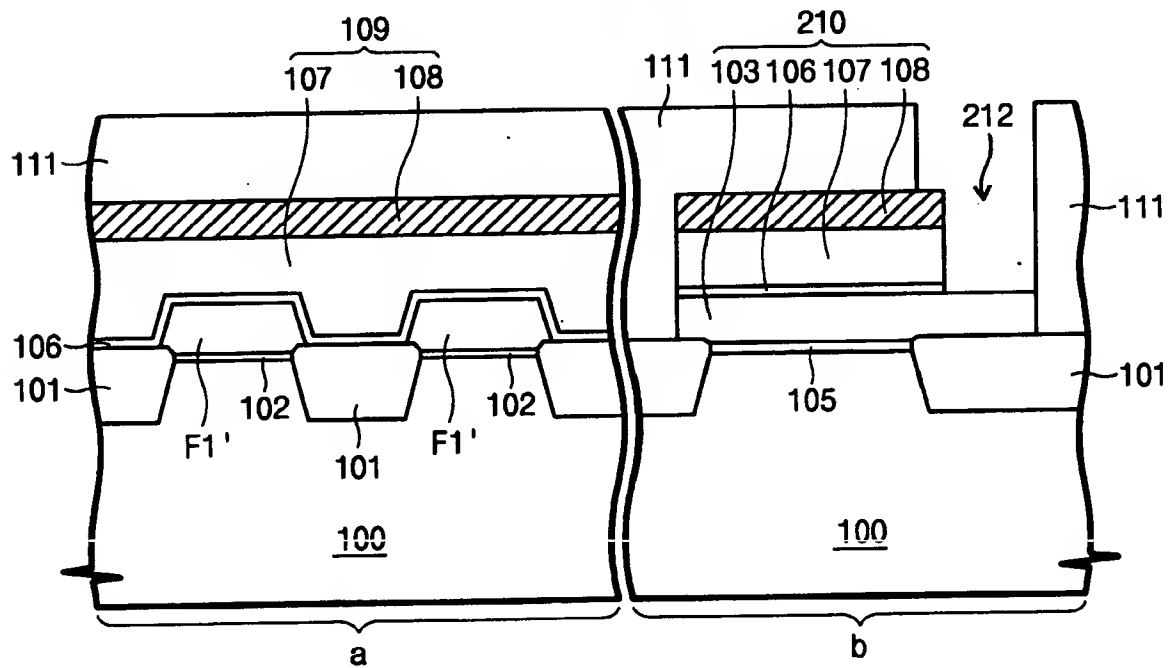
【도 6b】

(종래 기술)



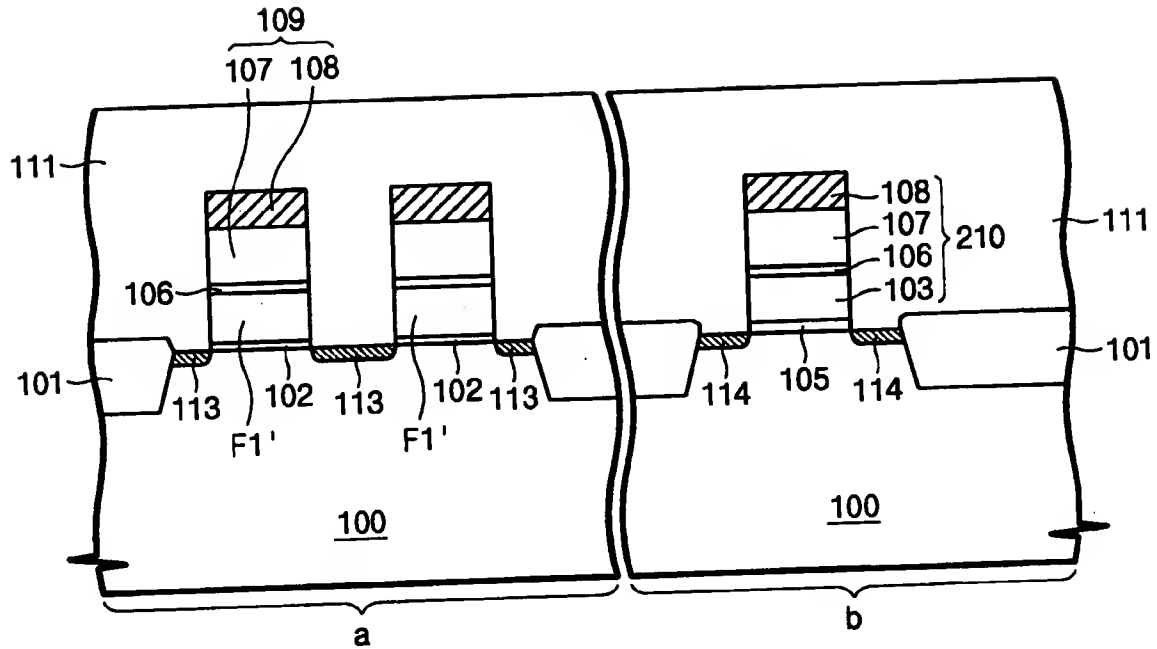
【도 7a】

(종래 기술)

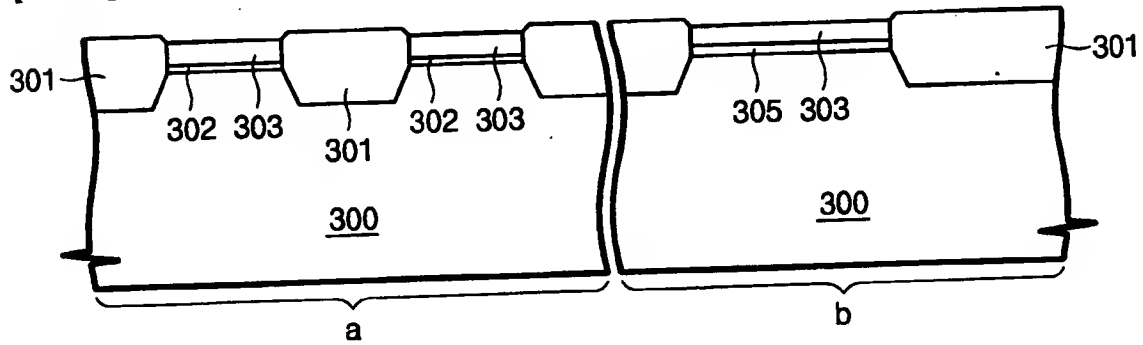


【도 7b】

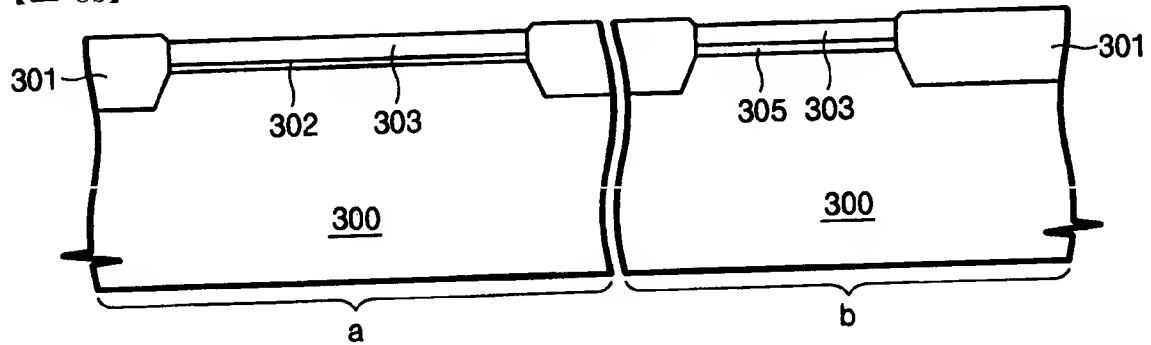
(종래 기술)



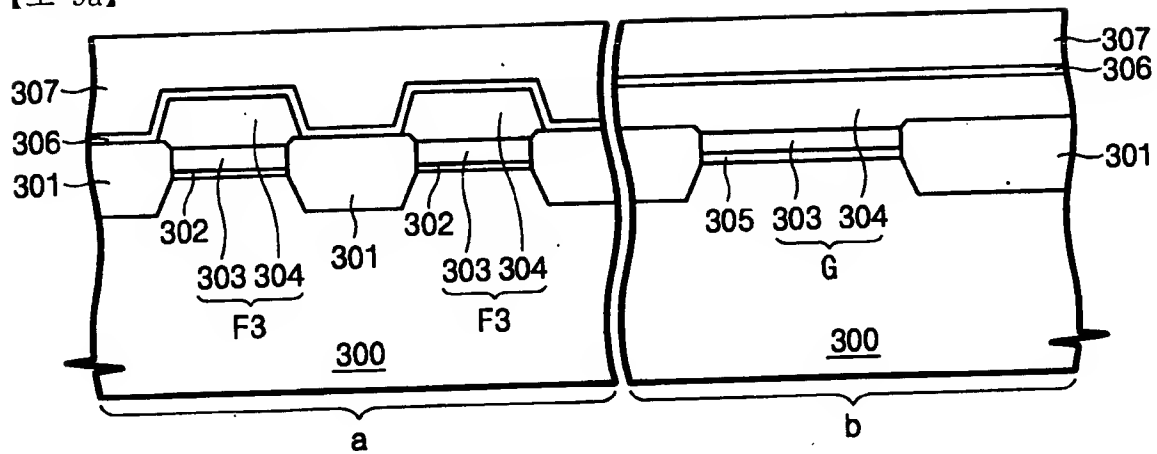
【도 8a】



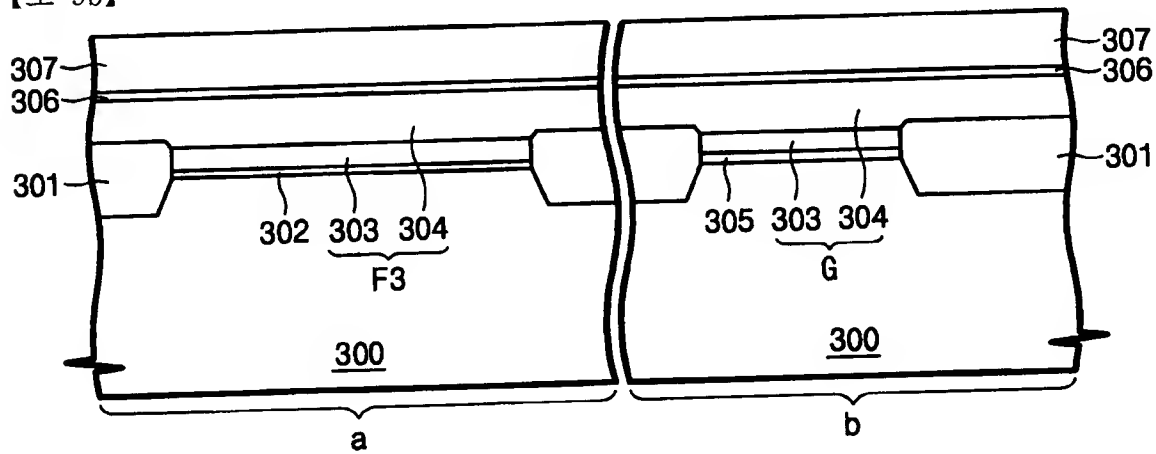
【도 8b】



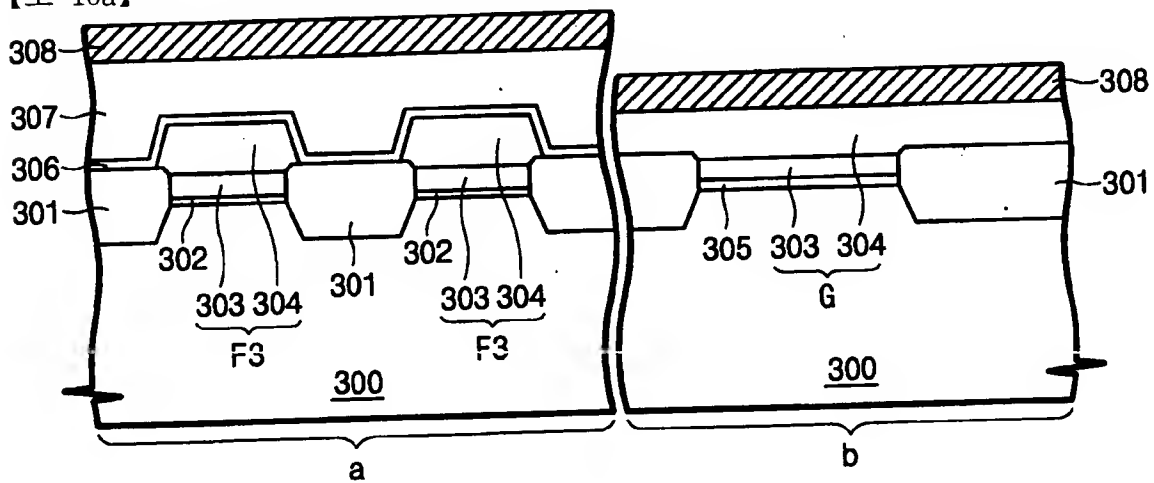
【도 9a】



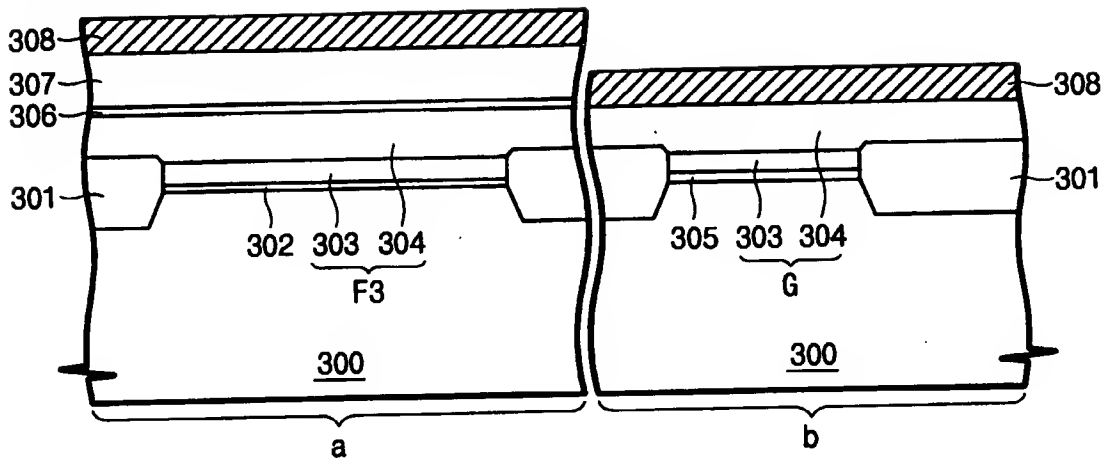
【도 9b】



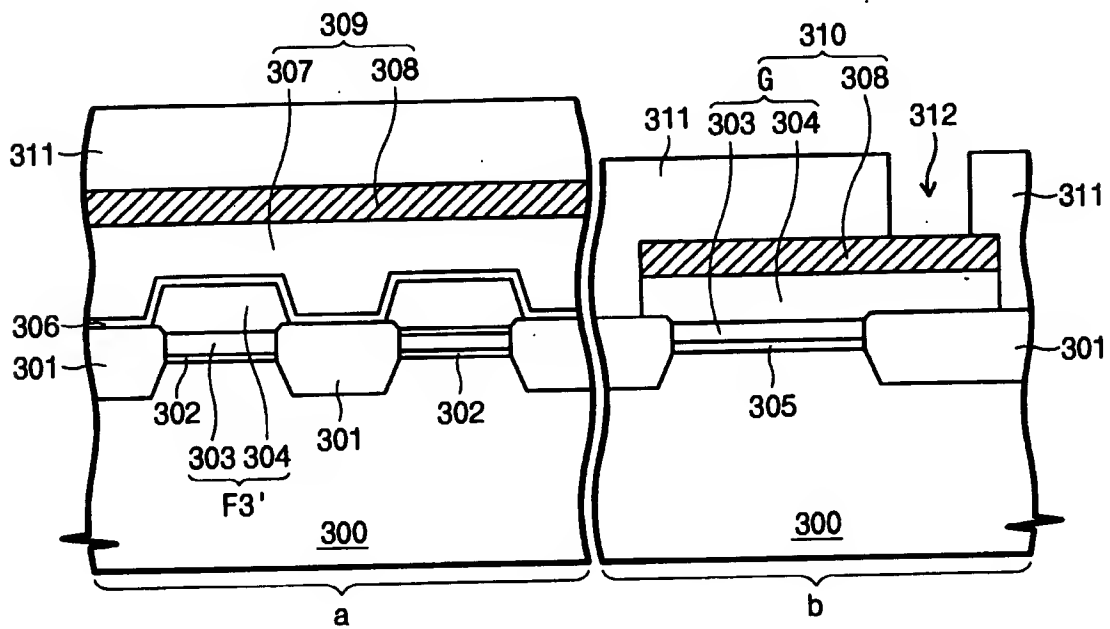
【도 10a】



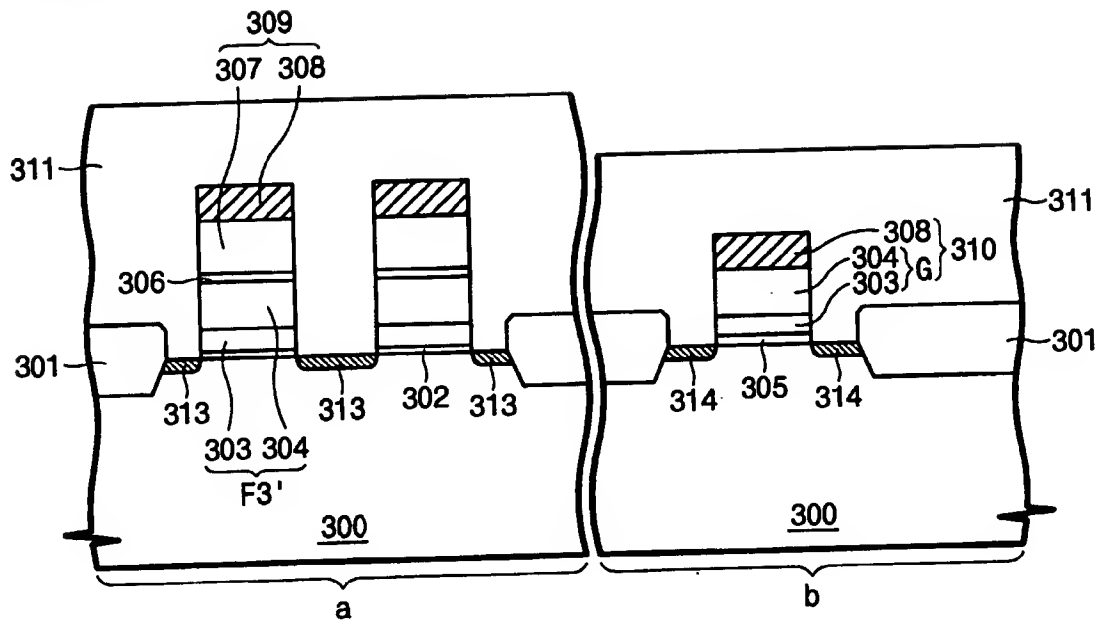
【도 10b】



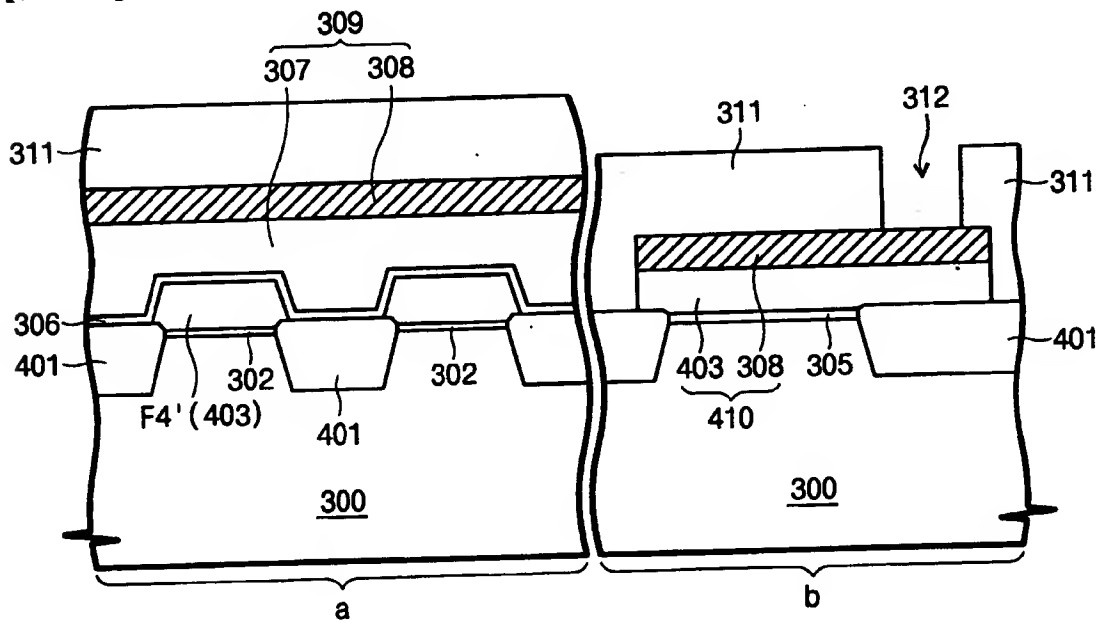
【도 11a】



【도 11b】



【도 12a】



【도 12b】

